

許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年7月10日 (10.07.2003)

PCT

(10) 国際公開番号  
WO 03/056622 A1

(51) 国際特許分類: H01L 21/324, 29/78  
(21) 国際出願番号: PCT/JP02/13550  
(22) 国際出願日: 2002年12月25日 (25.12.2002)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2001-394546  
2001年12月26日 (26.12.2001) JP

(71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)  
[JP/JP]; 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo (JP).

(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 菅原 卓也

(SUGAWARA, Takuya) [JP/JP]; 〒407-0192 山梨県 韮崎市穂坂町三ツ沢650 東京エレクトロン株式会社内 Yamanashi (JP). 松山 征嗣 (MATSUYAMA, Seiji) [JP/JP]; 〒660-0891 兵庫県 尼崎市 扶桑町1番8号 東京エレクトロン株式会社内 Hyogo (JP). 佐々木 勝 (SASAKI, Masaru) [JP/JP]; 〒660-0891 兵庫県 尼崎市 扶桑町1番8号 東京エレクトロン株式会社内 Hyogo (JP).

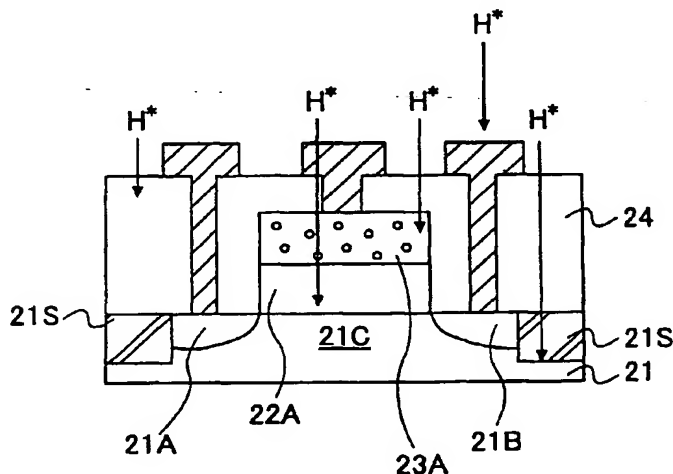
(74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒150-6032 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SUBSTRATE TREATING METHOD AND PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 基板処理方法および半導体装置の製造方法



(57) Abstract: A substrate treating method which exposes a semiconductor-formed, electronic device-use substrate to hydrogen radicals (including heavy hydrogen radicals), wherein the hydrogen radicals are excited by plasma formed by irradiating a plane antenna with a microwave.

(57) 要約:

半導体素子が形成された電子デバイス用基板を水素ラジカル (含重水素ラジカル) に対して曝露する基板処理方法において、平面アンテナにマイクロ波を放射することにより形成されるプラズマにより、前記水素ラジカルを励起する。

BEST AVAILABLE COPY

500/214



WO 03/056622 A1



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## 基板処理方法および半導体装置の製造方法

技術分野

本発明は一般に電子デバイスの製造に係り、特に半導体装置が形成された電子  
5 デバイス用基板を水素ラジカルに対して曝露する基板処理方法に関する。

背景技術

半導体装置の製造工程においては、様々な半導体装置が形成された電子デバイ  
ス用基板を水素雰囲気中において熱処理する水素シタ処理が不可欠である。こ  
10 のような水素シタ処理を行うことにより、例えばMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) においてはチャネル基板とゲート絶縁  
膜との界面領域に存在するダングリングボンドが水素ラジカルにより終端され、  
このようなダングリングボンドに電荷が捕獲されることによる半導体装置の電気  
特性の劣化が抑制される。

15 水素シタ処理が用いられる半導体装置は多様に存在するが、具体的な例とし  
ては高速動作が要求される論理デバイスや、電極間絶縁膜として高誘電率物質 (High-k) が用いられるDRAMに代表されるメモリデバイス、ガラス基板上に作  
成される薄膜トランジスタ (TFT: Thin Film Transistor) 等がある。以下に  
これらの半導体装置が水素シタを必要とする理由を解説する。

20 近年、論理デバイスの高速化を目指し、Siウェハ上に成膜されたSiGe (シリコンゲルマニウム) 結晶膜を基板として用いたMOSFETの開発が行われ  
ている。SiGe結晶膜をチャネル層に用いることでpチャネルの移動度が上昇  
することから、高速のMOSFETの実現が期待されている。

この構造を用いる場合、SiGe結晶膜上にゲート絶縁膜として酸化膜を形成  
25 する必要があるが、熱酸化によるゲート酸化膜の形成を行うとSiO<sub>2</sub>とGeO<sub>2</sub>  
の混在層が形成されてしまい、純粋なSiO<sub>2</sub>膜と比較して絶縁特性が劣化する  
。そこで低温で酸化膜の形成が可能なCVD (Chemical Vapor Deposition) 法  
やプラズマ酸化による酸化膜形成などが試されている。これらの酸化膜の絶縁特

性は  $\text{SiO}_2$  と  $\text{GeO}_2$  の混在層よりも優れているものの、純粋な熱酸化膜と比較した場合に絶縁特性が劣るため、実用化に絶え得る動作特性は得られていない (T. Nagai, X. Chen, S. K. Banerjee, "Improving  $\text{SiO}_2/\text{SiGe}$  interface of SiGe p-metal-oxide-silicon field-effect transistors using water vapor annealing", Applied Physics Letters, volume 80, Number 10, pp.1773-1775; D. Tchikatilov, Y. F. Yang and E. S. Yang, Applied Physics Letters, vol.69, Number 17, pp.2578-2580)。

一方、DRAMのメモリセルに使用される電極間絶縁膜としては  $\text{Ta}_2\text{O}_5$  などの高誘電率物質 (High-k) が用いられているが、多量の水素ラジカルが存在する条件下にてこれらの高誘電率物質を含む半導体装置の処理 (エッチングや水素シンタ処理) がなされると、リーク電流の増大、誘電率の低下といった特性劣化が生じやすい (筑根敦弘, 「Cu ダマシン形成プロセス」第8回半導体プロセスシンポジウム, 1999年9月20日, 21日, pp. 71-79)。

また TFT はガラス基板上に形成されるため、 $400^\circ\text{C}$  以下の低温での処理が必須である。しかしながら、このような温度領域で良好な特性をもつ酸化膜を熱酸化により形成することは不可能であり、現在は CVD 法やプラズマ酸化法により形成された酸化膜をゲート絶縁膜として用いている。しかしながら、これらの方法で作製された酸化膜の絶縁特性は熱酸化膜と比較すると大きく劣り、リーク電流の増大に起因した消費電力の増加などの問題が生じ、低消費電力が要求される携帯端末への応用に支障をきたす (N. Sano, M. Sekiya, M. Hara, A. Kohno and T. Sameshima, "Improvement of  $\text{SiO}_2/\text{Si}$  interface by low-temperature annealing in wet atmosphere" Applied Physics Letters, volume 66, Number 16, pp.2107-2109)。

これらのゲート絶縁膜の特性を向上させるために、熱処理による水素シンタ処理が用いられてきた。しかし、熱処理により水素ラジカルを発生させようとする  $450^\circ\text{C}$  以上の高温が必要となるため、低温プロセスが必須な  $\text{SiGe}$  基板や TFT への応用は困難となる。また、熱処理による水素シンタを用いる場合、水素ラジカルは主に温度によって制御されるが、DRAMのように熱に強い物質 (

熱安定性が高い物質）と熱に弱い物質（熱安定性が低い物質）が混載された半導体装置形成においては、最適なプロセスを確立することは困難である。またDRAMの電極間絶縁膜として用いられているHigh-k物質は次世代のゲート絶縁膜としても有望であるが、これらの物質は成膜後に高温処理を施すことで結晶化やシリコンと反応することによる酸化膜厚の増大などの問題を抱えているため、熱による水素シント処理をHigh-kゲート絶縁膜を搭載した半導体装置に用いることは困難なことが予想される。

これらの欠点を補うプロセスとして基板温度300℃程度のH<sub>2</sub>O雰囲気下でアニールを施すウェットアニーリングが提案されている（Nagai, et al., op cit, Tchikatilov, et al., op cit., Sano, et al., op cit.）が、アニール時間が3時間程度と長い場合、量産に用いることは困難と考えられる。

そこで、最も有力な水素ラジカル形成方法として、400℃以下の低温で水素ラジカルを容易に形成、制御できるプラズマを用いる方法が注目されている。プラズマを用いた水素ラジカル形成は既に多数報告されているが、これらのプラズマはクリーニングを目的として開発された手法であり（Kotaro Miyatani, Kenichi Nishizawa, Yasuo Kobayasghi and Yoshihide Tada, "A New Plasma Dry Cleaning Method Applied to Contact and Gate Pre Cleaning", Extended Abstracts of Solid State Devices and Materials, 2002, pp.196-197, Y. Aoki, S. Aoyama, H. Uetake, K. Morizuka and T. Ohmi, "In situ substrate surface cleaning by low-energy ion bombardment for high quality thin film formation", J. Vac. Sci. Technol. A 11 (2), Mr/Apr 1993, pp.307-313）、高い電子温度に起因したプラズマダメージや大面積化が困難等の問題を抱えている。

これに対し、近年、ゲート絶縁膜形成を目的としたプラズマ処理方法として平面アンテナとマイクロ波を用いたプラズマ形成方法が提案されている。

この方法においてはHe, Ne, Ar, Kr, Xeなどの希ガスを酸素もしくは窒素を含むガスと共に被処理基板の上部に設けられたリング状のシャワープレートから処理基板とシャワープレートの間の空間に供給する。かかるシャワープレートの上部に設置された平面アンテナ部材（スロットプレーンアンテナ；SP

A) の背後からマイクロ波を照射することで、アンテナを介してマイクロ波を導入する。このマイクロ波を用いて前記空間において希ガスをプラズマ励起し、これに伴って酸素を含むガスや窒素を含むガスのラジカル、例えば酸素ラジカルO\*や窒素ラジカルN\*を形成し、シリコン基板表面を酸化あるいは窒化する技術が提案されている。

この方法によって形成されたプラズマは電子密度が高いため低い基板処理温度でも多量のラジカルが生成される。また電子温度が低いため、他のプラズマ形成方法で問題となるプラズマダメージが低い。更に、平面アンテナを伝播したマイクロ波がプラズマを大面積において均一に形成するために、300mm径のウェハや大型TF T表示装置用基板などの大面積基板への応用の点でも優れていることが報告されている (Katsuyuki Sekine, Yuji Saito, Masaki Hirayama and Tadahiro Ohmi, J. Vac. Sci. Technol. A 17 (5), Sep/Oct 1999, pp.3129-3133, Takuya Sugawara, Toshio Nakanishi, Mararu Sasaki, Shigenori Ozaki, Yoshihide Tada, "Characterization of Ultra Thin Oxynitride Formed by Radical Nitridation with Slot Plane Antenna Plasma", Extended Abstracts of Solid State Devices and Materials, 2002, pp.714-715) 。

このような技術を使うことにより、電子デバイス用基板表面を400℃以下の低い基板温度であっても直接に酸化あるいは窒化処理することが可能になっている。この技術は前述した低温酸化膜形成へ応用できることは言うまでもなく、水素シタを目的とした水素ラジカル形成方法として用いることも有望である。

図1A～1Hは、本発明による水素シタ工程の代表的応用例として、n型MOSFETの製造工程を、また図2は、本発明に使われる水素ラジカル形成装置であるマイクロ波と平面アンテナを用いたプラズマ形成装置の一態様を示す。

最初に図2を参照するに、マイクロ波プラズマ処理装置10は被処理基板Wを保持する基板保持台12が形成された処理容器11を有し、処理容器11は排気ポート11Aにおいて排気される。

前記処理容器11上には前記基板保持台12上の被処理基板Wに対応して開口部が形成されており、前記開口部は、アルミナ等の低損失セラミックよりなるカ

カバープレート 13 により塞がれている。さらにカバープレート 13 の下には、前記被処理基板 W に対面するように、ガス導入路とこれに連通する多数のノズル開口部とを形成された、アルミナ等の低損失セラミックよりなるシャワープレート 14 が形成されている。

- 5 前記カバープレート 13 およびシャワープレート 14 はマイクロ波窓を形成し、前記カバープレート 14 の外側には、ラジアルラインスロットアンテナあるいはホーンアンテナ等のマイクロ波アンテナ 15 が形成されている。

- 動作時には、前記処理容器 11 内部の処理空間は前記排気ポート 11A を介して排気することにより所定の処理圧に設定され、前記シャワープレート 14 から  
10 アルゴンや Kr 等の不活性ガスと共に、前述したゲート絶縁膜形成を目的としたプラズマ処理方法では酸素を含んだガスが導入される。なお、後で説明するように、本発明で提案する水素ラジカル生成を目的としたプラズマ処理方法では、不活性ガスと共に導入されるガスとして、水素ガスが好適に用いられる。

- さらに前記アンテナ 15 上部より周波数が数 GHz のマイクロ波を照射する。  
15 照射されたマイクロ波はアンテナを径方向に伝播し、アンテナ下部に放射され、カバープレート 13 を等化して処理容器 11 中に導入される。この際、マイクロ波がアンテナを介して導入されているために、高密度、低電子温度のプラズマが発生し、またこのプラズマはアンテナ面積に比例した広範な領域で均一な分布となる。従って、図 2 の基板処理装置を用いることで、300 mm 径ウェハや大型  
20 TFT 表示用基板などの大面積処理が可能となり、かつプラズマの電子温度が低い  
ため、被処理基板 W や処理容器 11 内壁の損傷が回避できる。また、形成されたラジカルは被処理基板 W の表面に沿って径方向に流れ、速やかに排気されるため、ラジカルの再結合が抑制され、効率的で非常に一様な基板処理が、600℃  
以下の低温において可能になる。

- 25 次に図 1A～1H を参照するに、図 1A の工程では基板に比抵抗が 1～30  $\Omega$  cm の (100) 面方位を有する p 型のシリコン基板 21 を用い、前記シリコン基板 21 上に STI あるいは LOCOS 工程により素子分離構造 21S を形成する。さらに前記素子分離構造 21S により画成される素子領域 21C 中にはホウ

素（B）によるチャネルドープが施される。図1 Aの工程では、前記シリコン基板2 1の表面には、後で実行されるゲート絶縁膜形成工程の予備工程として、犠牲酸化膜2 0が形成されている。

次に図1 Bの工程では、APM（アンモニアと過酸化水素と純水の混合液）と  
5 HPM（塩酸、過酸化水素水および純水の混合液）とDHF（フッ酸と純水の混合液）とを組み合わせたRCA洗浄を使い、図1 Aの構造に対してゲート絶縁膜成膜前洗浄が行われ、前記犠牲酸化膜2 0が金属や有機物、パーティクルなどの汚染要素と共に除去され、新鮮なシリコン基板2 1の表面が露出される。この工程では、必要に応じてSPM（硫酸と過酸化水素水の混合液）、オゾン水、FPM  
10 M（フッ酸と過酸化水素水と純水の混合液）、塩酸水（塩酸と純水の混合液）、有機アルカリなどを使うこともある。

次に図1 Cの工程において前記シリコン基板2 1の表面上にゲート酸化膜2 2が形成される。例えば図1 BのRCA洗浄がなされた基板を8 5 0℃の温度で保持し、7 0 0 P aの圧力下、 $H_2/O_2$ ガス流量比が1 0 0 / 7 0 0 S C C Mの雰囲気下で2分間の酸化処理を行うことにより、2 n m程度の膜厚の熱酸化膜が、  
15 前記ゲート酸化膜2 2として形成される。

次に図1 Dの工程において図1 Cのゲート酸化膜2 2上にゲート電極を構成するポリシリコン膜2 3が、CVD法により堆積される。例えば前記ゲート酸化膜2 2を形成されたシリコン基板2 1を6 2 0℃の温度に保持し、シランガスを3  
20 0 P aの圧力下で導入することにより、前記ゲート酸化膜2 2上にポリシリコン膜2 3が1 5 0 n mの膜厚に形成される。

その後、図1 Eの工程において前記ポリシリコン膜2 3をレジストプロセスによりパターニングすることにより、前記シリコン基板2 1上にゲート電極パターン2 3 Aおよびゲート酸化膜パターン2 2 Aを形成し、さらに図1 Fの工程において前記素子領域2 1 C中にAsやPなど、p型不純物元素のイオン注入を行い、引き続き熱処理により注入された不純物元素の活性化を行うことにより、前記シリコン基板2 1中に前記ゲート電極2 3 Aの両側にソース領域あるいはドレイン領域となるn型拡散領域2 1 A、2 1 Bを形成する。  
25



さらに図 1 G の工程において図 1 F の構造上に前記ゲート電極 2 3 A を覆うように T E O S などの低誘電率膜よりなる層間絶縁膜 2 4 を形成し、さらに前記層間絶縁膜 2 3 中に前記拡散領域 2 1 A, 2 1 B、およびゲート電極 2 3 A を露出するコンタクトホールをそれぞれ選択エッチングにより形成し、さらに前記コン  
 5 タクトホールを斜線で示す電極材料により充填することにより、所望の M O S F E T が得られる。

ところで図 1 G の M O S F E T 形成には選択エッチングやレジスト除去工程で使われるアッシング工程においてプラズマ処理が使われる。しかし、このようなプラズマ処理により、ゲート酸化膜 2 2 とシリコン基板 2 1 の界面近傍において  
 10 界面準位の増加など、M O S F E T の特性劣化が生じることがある。このため、従来の半導体装置の製造工程では、得られた図 1 G に示す半導体構造に対して水素シンタ処理を行っている。

図 3 は、図 1 E と同様の構造を持つ n 型 M O S キャパシタの C - V 特性を示す。ただし図 3 中、縦軸は p 型シリコン基板 2 1, ゲート酸化膜 2 2 および n 型ポ  
 15 リシリコンゲート電極 2 3 A より構成される M O S キャパシタのキャパシタンスを、横軸は前記ポリシリコンゲート電極 2 3 A に印加されるゲート電圧を示す。ただし図 3 の例ではゲート酸化膜 2 2 の面積を  $100\mu\text{m}^2$  とし、 $100\text{kHz}$  と  $250\text{kHz}$  の測定周波数を使った 2 周波解析法を使って解析を行った (Akio Nara, Naoki Yasuda, Hideki Satake and Akira Toriumi, "A Guidance for  
 20 Accurate Two-Frequency Capacitance Measurement for Ultra-Thin Gate Oxide", Extended Abstracts of Solid State Devices and Materials, 2000, pp.452-453)。

図 3 を参照するに、先に説明した水素シンタ処理を行わなかった場合、 $-0.5\text{V} \sim +0.5\text{V}$  のゲート電圧に対応する空乏側領域において、界面準位に起因  
 25 する大きな容量の存在が確認される。

これに対し、図 1 G の構造を  $450^\circ\text{C}$  の温度に加熱し、 $\text{H}_2/\text{N}_2$  比が  $0.5\%$  の雰囲気中に 30 分間放置することにより、図 1 H に示す水素シンタ処理を行った場合、図 3 に示すように空乏領域における界面準位に起因する容量は低減し、

良好なC-V特性が得られるのがわかる。

- このように、良好な界面特性を有するMOSFETを作製するには、図1Hに示す水素シンタ処理が不可欠である。しかしながら従来の熱プロセスによる水素シンタ処理では400℃以上の高温が必要であり、ガラス基板を用いたTFETや熱安定性の優れた材料と劣る材料とが混在するDRAM等の半導体装置の製造に
- 5 あったっては、熱プロセスによる水素シンタ処理を好適に使うことが困難になりつつある。

### 発明の開示

- 10 そこで、本発明は上記の課題を解決した、新規で有用な基板処理方法を提供することを概括的課題とする。

- 本発明のより具体的な課題は、Si基板、SiGe基板、ガラス基板などに代表される電子デバイス用基板を水素ラジカル（含む水素イオン）で処理する方法において、温度以外の制御方法、例えば圧力やガス流量などで水素ラジカルの生成を効果的に制御する方法を提供することにある。
- 15

本発明のその他の課題は、半導体素子が形成された電子デバイス用基板に対し、低い基板処理温度で、しかも基板に損傷を与えることなく、水素シンタ処理を行うことの可能な基板処理方法を提供することにある。

- 本発明の他の課題は、半導体装置が形成された電子デバイス用基板に対し、低い基板処理温度で水素シンタ処理を行うことの可能な基板処理方法であって、熱による特性劣化の顕著なSiGe基板やガラス基板などに特に好適に用いられる方法を提供することにある。
- 20

- 本発明の他の課題は、半導体装置が形成された電子デバイス用基板に対し、低い基板処理温度で水素シンタ処理を行うことの可能な基板処理方法であって、熱以外の方法で水素ラジカル生成を制御する必要があるHigh-k物質を容量中の電極間絶縁膜として含んだDRAMやMOSFET中のゲート絶縁膜として含んだ次世代論理デバイス等の半導体装置に特に好適に用いられる方法を提供することにある。
- 25

本発明の他の課題は、

熱CVD法やプラズマ法、ホットワイヤ法などにより低い基板温度で形成されたゲート絶縁膜を含む半導体装置において、ゲート絶縁膜と基板間、あるいはゲート絶縁膜とゲート電極間の界面近傍、あるいはゲート絶縁膜中やゲート電極中に存在するダングリングボンドを低い基板処理温度による水素シタ処理を行うことで終端し、半導体装置の電気特性の劣化を補償することが可能な半導体装置の製造方法を提供することにある。

本発明の他の課題は、

半導体装置が形成された電子デバイス用基板を水素ラジカル（含む水素イオン）に対して曝露する基板処理方法であって、  
前記水素ラジカルは、プラズマにより励起されることを特徴とする基板処理方法を提供することにある。

本発明の他の課題は、

半導体装置が形成された電子デバイス用基板を、水素ラジカル（含む水素イオン）に対して曝露する基板処理方法であって、  
前記水素ラジカルはマイクロ波プラズマにより励起されることを特徴とする基板処理方法を提供することにある。

本発明の他の課題は、

半導体装置が形成された電子デバイス用基板を、水素ラジカル（含む水素イオン）に対して曝露する基板処理方法であって、  
前記水素ラジカルは、平面アンテナ（Slot Plane Antenna：SPA）にマイクロ波を照射することにより形成されたプラズマにより励起されることを特徴とする基板処理方法を提供することにある。

## 25 図面の簡単な説明

図1A～1Hは、先に提案されている半導体装置の製造工程を示す図；

図2は、本発明で使われるマイクロ波プラズマ処理装置の構成を示す図；

図3は、図1A～1Hの半導体装置装置製造工程において生起する問題を説明

する図；

図4は本発明の第1実施例を説明する図；

図5は本発明の第1実施例を説明する別の図；

図6A, 6Bは、本発明の第2実施例を説明する図である。

5 図7は、本発明をDRAMに適用した場合を示す図である。

### 発明を実施するための最良の態様

#### [第1実施例]

10 図4は図2の基板処理装置10を使った本発明の第1実施例による水素ラジカル制御方法を示す。ただし図4中、横軸は処理圧力を、縦軸はOES (Optical Emission Spectroscopy) にて観測された水素ラジカルの発光強度を示す。ただし図4の実験では、図2のシャワープレート14に供給される水素ガスのArガスに対する割合を1%とし、前記アンテナ15には2.45GHzのマイクロ波を2000Wのパワーで照射している。

15 図4を参照するに、基板温度が250℃でも400℃の基板温度を使った場合と同等の発光強度が得られており、図2の基板処理装置10を使って水素ラジカルを発生させることにより、低い基板温度においても十分な水素ラジカルを発生できることがわかる。さらに図4から、プロセス圧を変化させることで生成する水素ラジカルの量が大きく変化し、例えばプロセス圧を13.3Pa (100m  
20 Torr) から267Pa (2Torr) に変化させることで水素ラジカルの発光強度が5倍に増加することがわかる。これは、従来の温度制御以外の方法により水素ラジカルの生成量を制御できる可能性を示すものであり、特に図4Aの関係は、250℃の低い基板温度においても水素ラジカルの生成量を、基板処理装置10中におけるプロセス圧の制御により、基板温度が400℃の場合と同様に  
25 、しかも任意に制御できることを示している。

図5は、図2の基板処理装置10において測定された電子温度と電子密度の関係を示す。

図5を参照するに、図2の基板処理装置10を使うことにより、1.5eV以

下の電子温度を有するプラズマを、 $10^{11} \text{ cm}^{-3}$ 以上の電子密度で形成することができるのがわかる。これは、本発明により、他のプラズマ形成方法よりも電子温度が低く、従ってプラズマダメージの少ない条件で、十分な量の水素ラジカルを形成できることを意味している。

- 5      このように本発明では、水素ラジカルを発生させる際に図2の基板処理装置10を使ってプラズマを形成することにより、形成されるプラズマの電子温度を制御でき、また他のプラズマ形成方法を使った場合に生じると考えられる荷電粒子による半導体装置の損傷の問題を回避することが可能になる。

- 10      なお本実施例においては圧力制御により水素ラジカルの生成量を制御したが、ガス流量やマイクロ波パワーの変化させることによっても、水素ラジカルの生成量を制御することが可能である。

さらに本実施例においては水素ラジカルの生成を、重水素を含む雰囲気を使って行うことも可能である。この場合には雰囲気中には重水素ラジカル $\text{D}^*$ が形成される。

- 15      さらに前記水素ラジカルを含む雰囲気は、水素イオンを含むことも可能である。

## [第2実施例]

- 20      図6A、6Bは、図2の基板処理装置10を使った本発明の一実施例による水素シンタ処理を示す。ただし先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

- 図6Aを参照するに、図1Gの半導体装置構造を形成されたシリコン基板21は前記被処理基板Wとして前記基板処理装置10の処理容器11中に導入され、前記シャワープレート14から $\text{Ar}$ あるいは $\text{Kr}$ 等の希ガスと水素の混合ガスを導入し、これを2.45GHzあるいは8.3GHzのマイクロ波で励起することにより水素ラジカル $\text{H}^*$ が形成される。
- 25

例えば前記処理容器11を67Paの処理圧に減圧し、基板温度を $250^\circ\text{C}$ に設定し、さらに $\text{H}_2$ の割合が1% ( $\text{H}_2/\text{Ar} = 1\%$ ) となるように水素ガスおよ

びA r ガスを前記処理容器 1 1 中に供給することにより、前記シャワープレート 1 4 直下にA r プラズマとともに水素ラジカルH\*を含む雰囲気形成される。

その結果形成された水素ラジカルH\*は、前記ポリシリコンゲート電極 2 3 A 中に容易に侵入し、ポリシリコンゲート電極 2 3 A 中のダングリングボンドを終  
5 端する。さらに、このようにして形成された水素ラジカルH\*は、前記ポリシリ  
コン膜 2 3 を通過し、図 6 B に示すように酸化膜内部、あるいはポリシリコン膜  
／酸化膜界面、あるいは酸化膜／シリコン基板界面に到達し、かかる領域に存  
在する×で示すダングリングボンドを終端する。その結果本実施例により、例え  
ば熱による水素シタによる効果と同様に、図 3 でゲート電圧が− 5 V から + 5  
10 V の範囲において容量として観測されるダングリングボンドが終端され、かかる  
ダングリングボンドに起因する界面準位密度が低減される。

なお本実施例においても図 2 の基板処理装置 1 0 に水素と重水素の混合ガス、  
あるいは重水素を供給し、重水素ラジカルによる界面の回復処理を行うことが可  
能である。

15 なお、本実施例においてMOSFETのゲート絶縁膜 2 2 A は熱酸化法により  
形成したが、これをプラズマ酸化法、プラズマ窒化法、触媒酸化法、触媒窒化法  
、CVD（化学気相堆積）法、PVD（物理気相堆積）法のいずれかの方法によ  
り形成することも可能である。

図 7 は、本発明の基板処理方法を適用して形成したDRAMの例を示す。ただ  
20 し図 7 中、先に説明した部分には同一の参照符号を付し、説明を省略する。

図 7 を参照するに、本実施例では前記ゲート電極 2 3 A がワードラインWLと  
して基板 2 1 表面を延在し、さらにソース領域を構成する前記拡散領域 2 1 A に  
、前記層間絶縁膜 2 4 上に形成されたビットラインBLを構成するポリシリコン  
電極パターン 2 6 A が、前記層間絶縁膜 2 4 中に形成されたコンタクトホールを  
25 介してコンタクトする。

さらに前記層間絶縁膜 2 4 上には次の層間絶縁膜が前記ビットラインパターン  
2 6 A を覆うように形成され、前記層間絶縁膜 2 4 上にはメモリセルキャパシタ  
の蓄積電極 2 6 B を構成するポリシリコン電極パターンが、前記拡散領域 2 1 B

に前記層間絶縁膜 2 4 および 2 5 を貫通して形成されたコンタクトホールを介してコンタクトするように形成されている。

前記蓄積電極 2 6 B の表面は高誘電体キャパシタ絶縁膜 2 7 により覆われ、さらに前記層間絶縁膜 2 5 上には前記キャパシタ絶縁膜 2 7 を覆うように対向電極 2 8 が形成される。

図 7 の DRAM においても、図 6 B と同様にシリコン基板 2 1 とゲート絶縁膜 2 2 A の界面近傍、あるいはゲート絶縁膜 2 2 A あるいはポリシリコン電極 2 3 A の内部、さらには前記ゲート絶縁膜 2 2 A とポリシリコン電極 2 3 A との界面近傍に存在するダングリングボンドを、図 2 の基板処理装置によるプラズマ処理により、水素ラジカル H<sup>\*</sup> で終端することができ、特性の安定した DRAM を得ることが可能になる。

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

15

#### 産業上の利用可能性

本発明によれば、高温処理によって特性が劣化する可能性のある半導体装置を含む電子デバイス用基板において、高い電子密度を有するマイクロ波プラズマを用いて水素シンタ処理を行うことにより、基板温度を低く抑制したまま半導体装置の電気特性を向上させることが可能になる。また平面アンテナを介してマイクロ波を導入することで低い電子温度を達成でき、プラズマダメージによる半導体装置の損傷を回避することができる。またマイクロ波が平面アンテナ中を伝播して放射されるため、アンテナ面積に比例した大面積処理が可能になり、300 mm 径のウェハや大面積 TFT 基板など、大面積基板への応用も容易となる。

25

## 請求の範囲

1. 半導体装置が形成された電子デバイス用基板を、水素ラジカルおよび水素イオンを含む雰囲気に対して曝露する基板処理方法であって、  
5 前記水素ラジカルおよび水素イオンは、希ガスと水素を含む処理ガスをプラズマ励起することにより形成されることを特徴とする基板処理方法。
2. 前記水素ラジカルおよび水素イオンを含む雰囲気は、重水素ラジカルおよび重水素イオンを含むことを特徴とする請求項1記載の基板処理方法。  
10
3. 前記プラズマは、マイクロ波により形成されることを特徴とする請求項1記載の基板処理方法。
4. 前記プラズマは、平面アンテナからマイクロ波を照射することにより形成されることを特徴とする請求項1記載の基板処理方法。  
15
5. 前記半導体装置はMOSFETを含むことを特徴とする請求項1記載の基板処理方法。
- 20 6. 前記電子デバイス用基板は、Si基板、SiGe基板あるいはガラス基板のいずれかであることを特徴とする請求項1記載の基板処理方法。
7. 前記MOSFETは、熱酸化膜および熱酸窒化膜のいずれかをゲート絶縁膜として含むことを特徴とする請求項5記載の基板処理方法。  
25
8. 前記MOSFETは、プラズマ酸化法、プラズマ窒化法、触媒酸化法、触媒窒化法、CVD法、PVD法のいずれかの方法により形成されたゲート絶縁膜を含むことを特徴とする請求項5記載の基板処理方法。



9. 前記半導体装置は、電極間絶縁膜に高誘電体絶縁膜を用いた記憶素子を含むことを特徴とする請求項1記載の基板処理方法。

FIG.1A

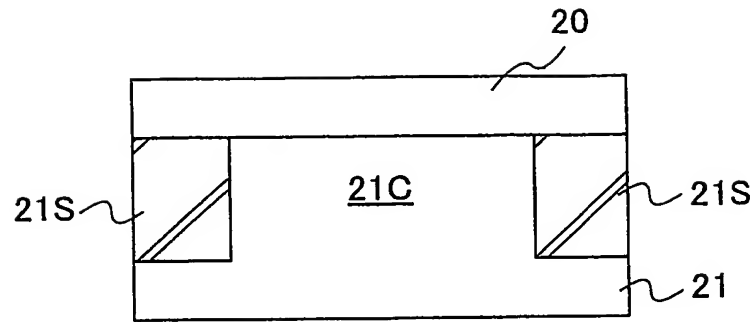


FIG.1B

RCA洗浄

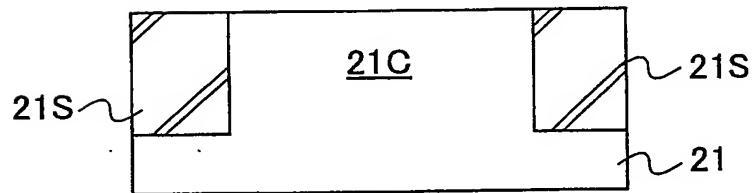


FIG.1C

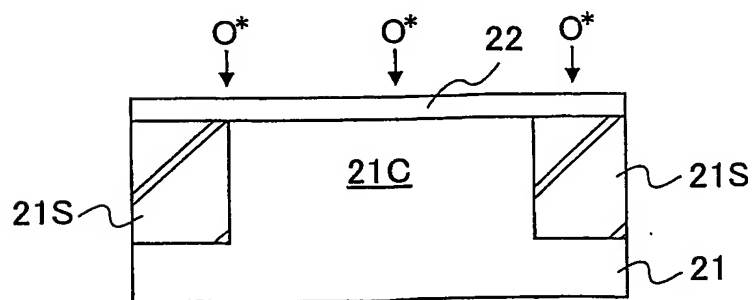


FIG.1D

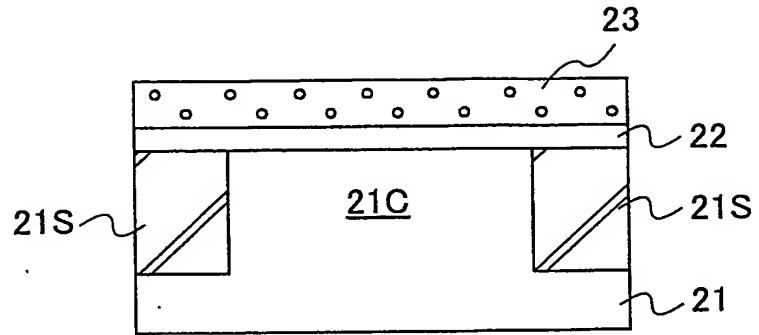


FIG.1E

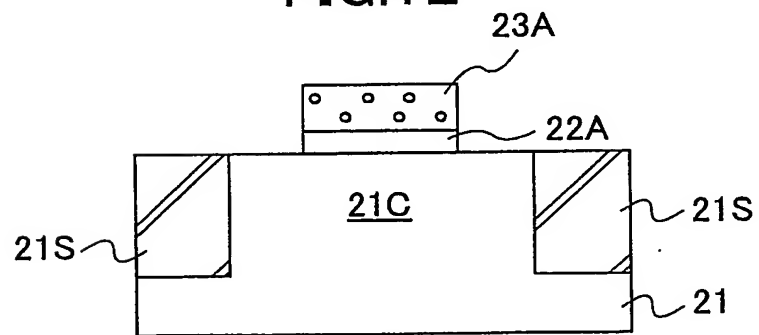


FIG.1F

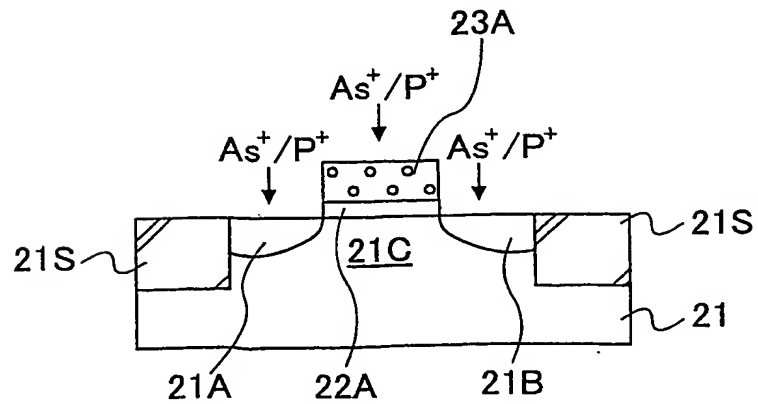


FIG.1G

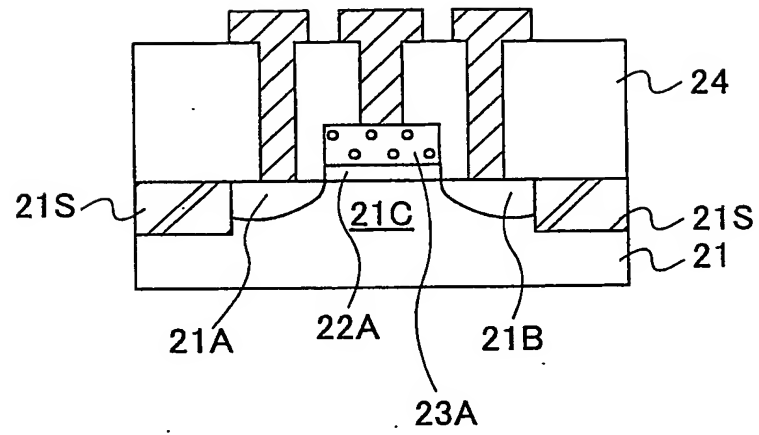


FIG.1H

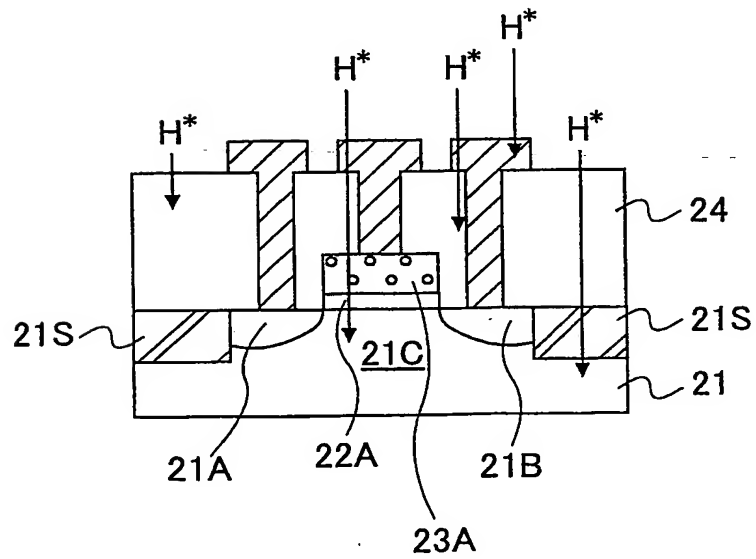


FIG.2

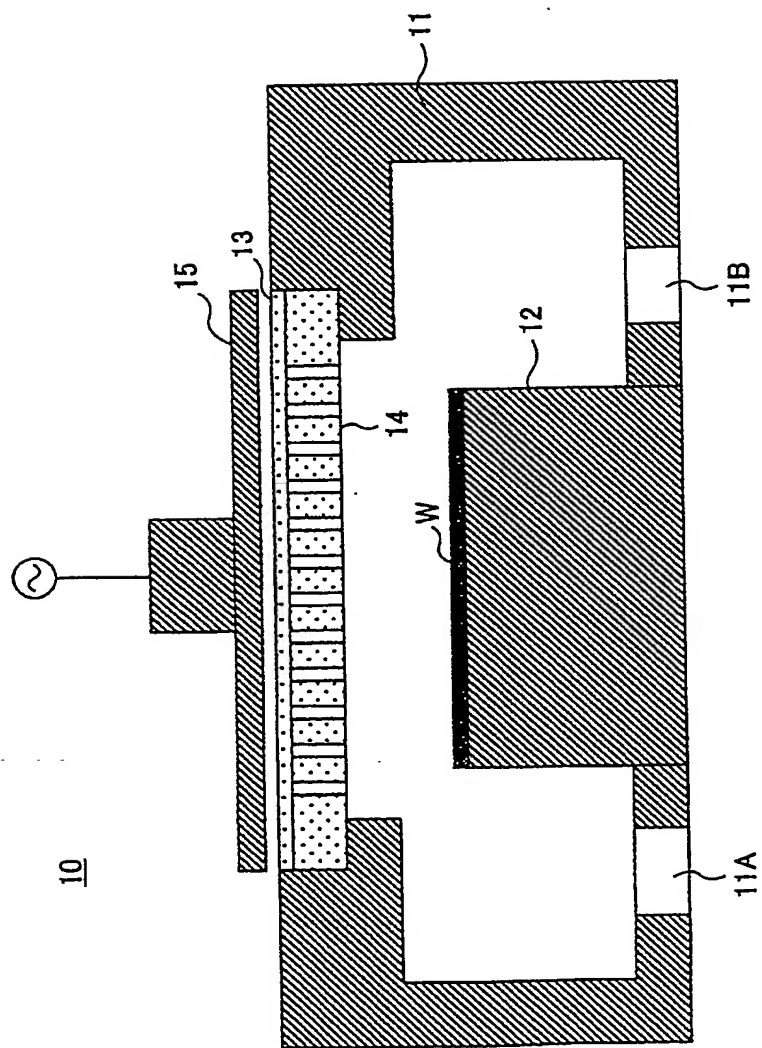


FIG.3

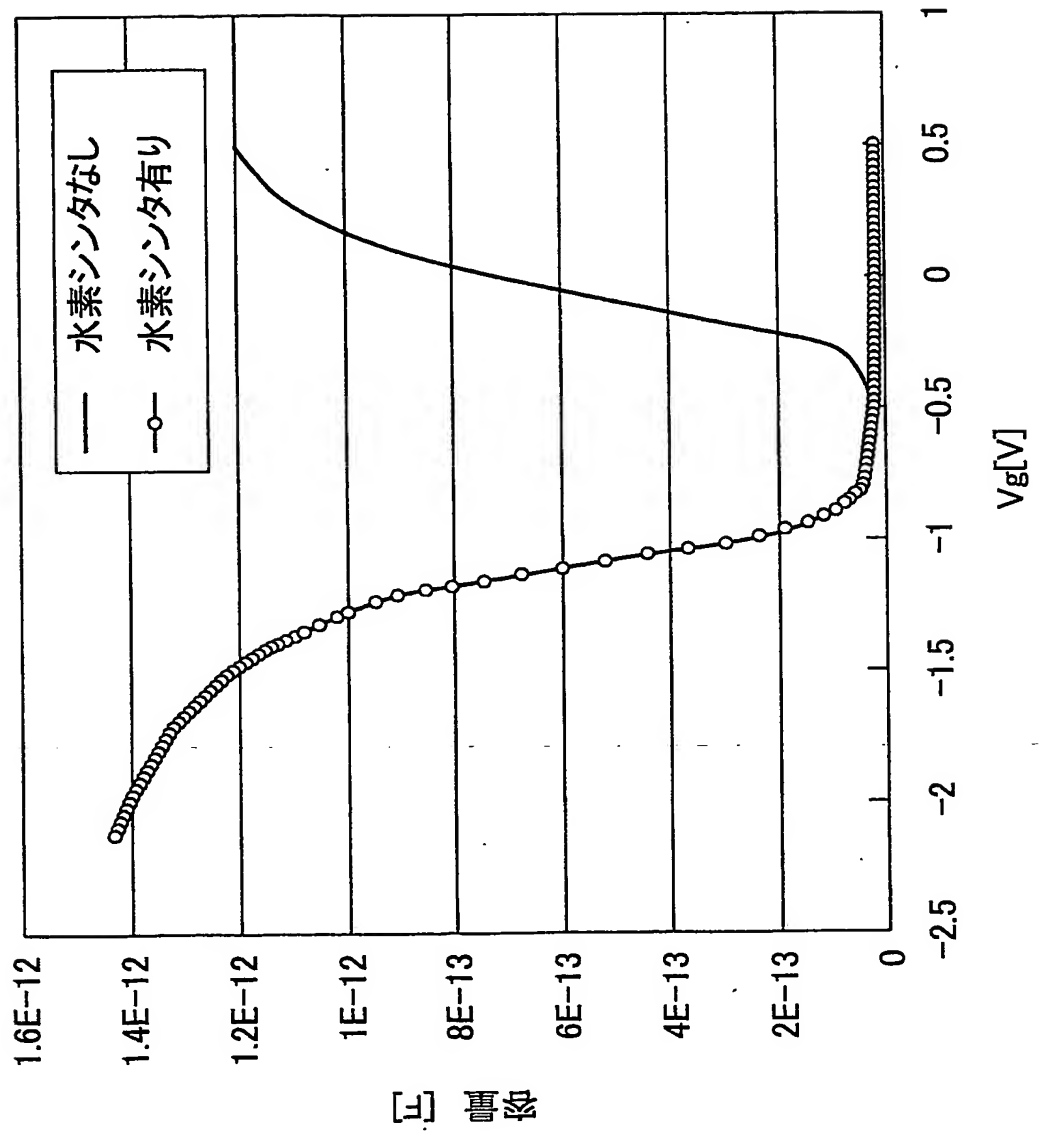
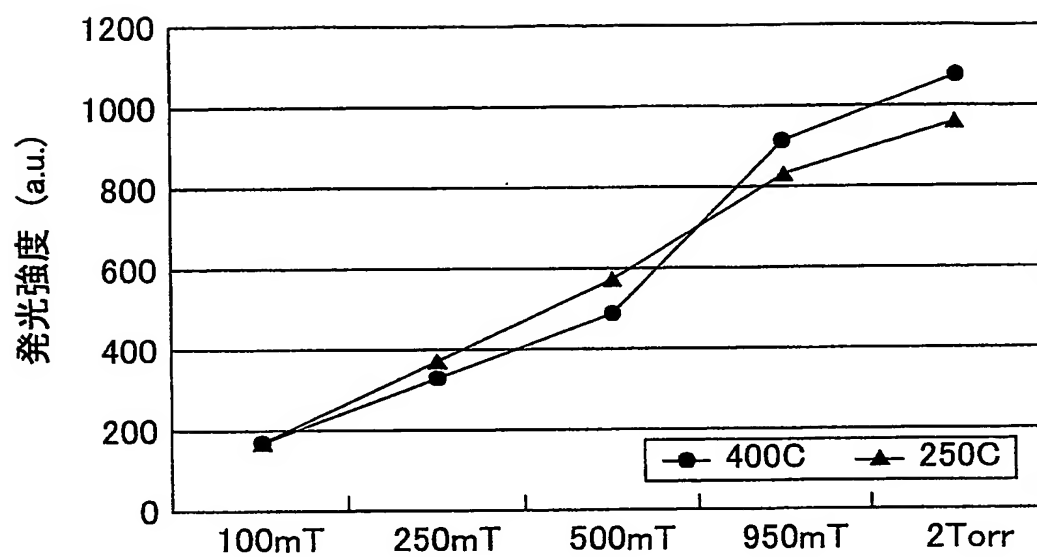


FIG.4



H<sub>2</sub>/Ar = 1%, 压力 = XmTorr

FIG.5

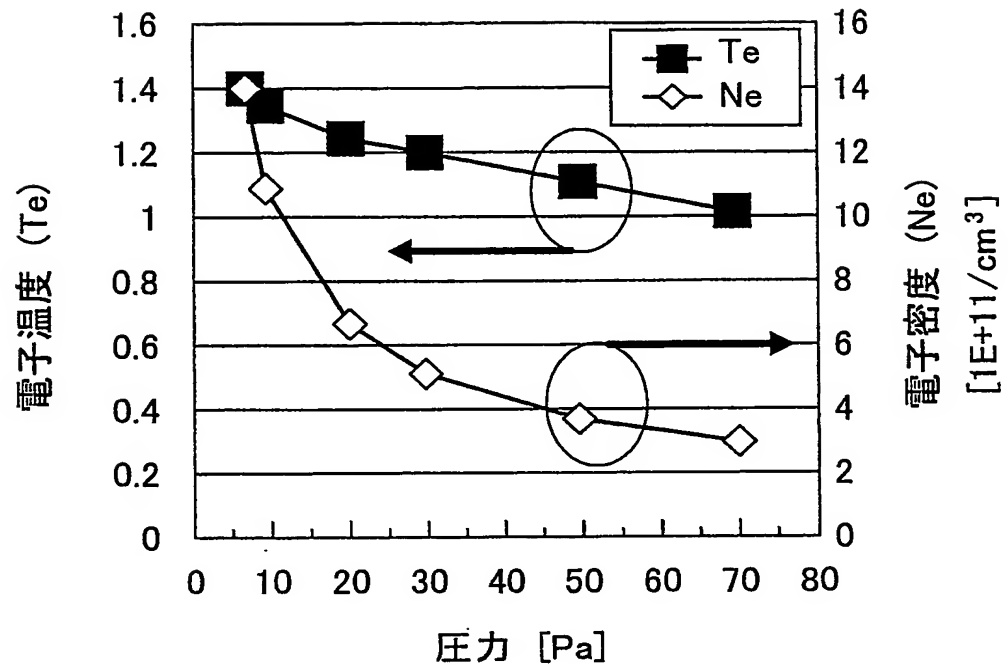




FIG.6A

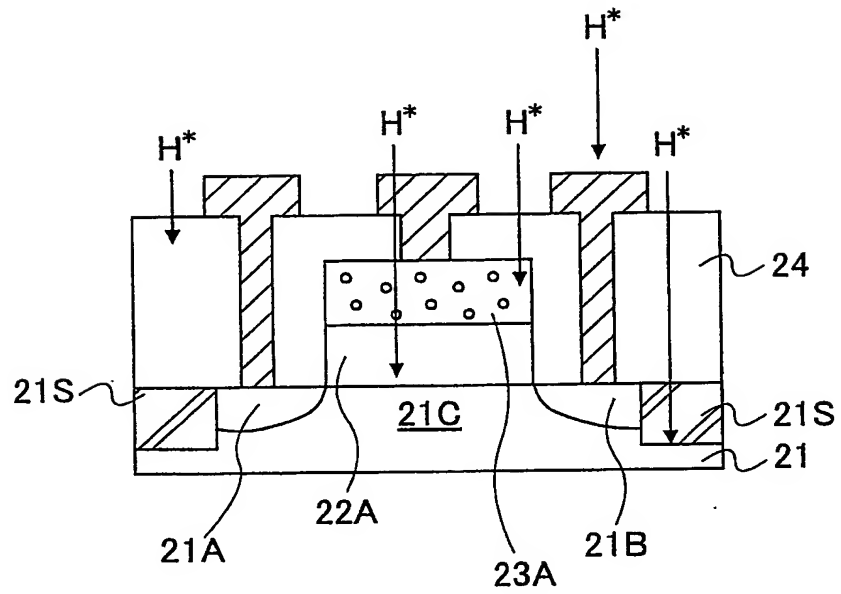


FIG.6B

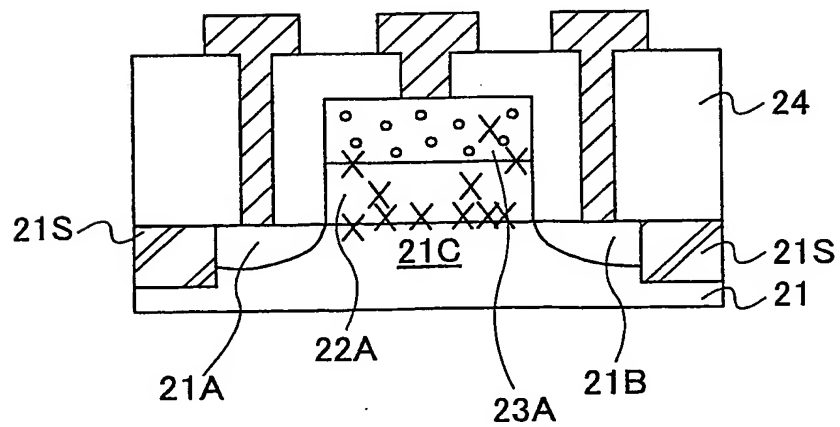
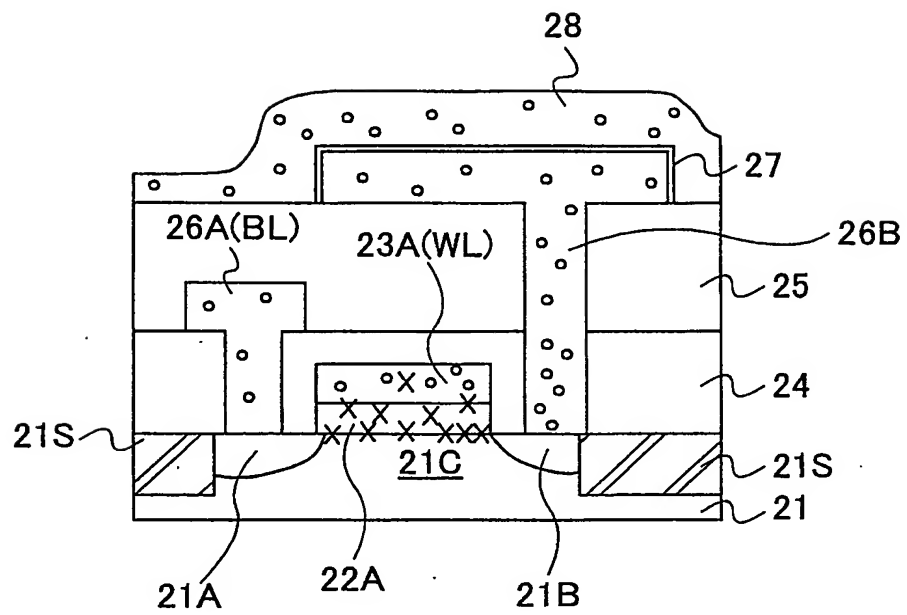


FIG. 7



# INTERNATIONAL SEARCH REPORT

International Application No.

PO JP02/13550

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L21/324, H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L21/324, H01L29/78, H05H1/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-330080 A (James W. Mitchell), 30 November, 1999 (30.11.99), Full text; all drawings (Family: none)	1-9
Y	JP 58-106837 A (Fujitsu Ltd.), 25 June, 1983 (25.06.83), Full text; all drawings (Family: none)	1-9
Y	EP 129265 A (PHILIPS ELECTRONIC AND ASSOCIATE INDUSTRIES LTD.), 27 December, 1984 (27.12.84), Full text; all drawings & JP 59-213137 A & US 4605447 A & GB 2140202 A & CA 1215479 A	1-3, 5-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 March, 2003 (31.03.03) Date of mailing of the international search report 15 April, 2003 (15.04.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP02/13550

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-12625 A (Hitachi, Ltd.), 16 January, 1998 (16.01.98), Full text; all drawings (Family: none)	1-3, 5-9
Y	JP 1-214123 A (teru Sagami Kabushiki Kaisha), 28 August, 1989 (28.08.89), Full text; all drawings (Family: none)	4
Y	JP 3-286535 A (Seiko Epson Corp.), 17 December, 1991 (17.12.91), Full text; all drawings (Family: none)	4

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H01L21/324, H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H01L21/324, H01L29/78, H05H1/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2003年  
日本国登録実用新案公報 1994-2003年  
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-330080 A(ジェームス・ダブリュー・ミッチェル)1999. 11. 30, 全文, 全図(ファミリーなし)	1-9
Y	JP 58-106837 A(富士通株式会社)1983. 06. 25, 全文, 全図(ファミリーなし)	1-9
Y	EP 129265 A(PHILIPS ELECTRONIC AND ASSOCIATED INDUSTRIES LIMITED) 1984. 12. 27, 全文, 全図 &JP 59-213137 A &US 4605447 A &GB 2140202 A &CA 1215479 A	1-3, 5-9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日  
31. 03. 03

国際調査報告の発送日  
15.04.03

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
菅野 智子



4M 2934

電話番号 03-3581-1101 内線 3460

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-12625 A(株式会社日立製作所)1998. 01. 16, 全文, 全図(ファミリーなし)	1-3, 5-9
Y	JP 1-214123 A(テル相模株式会社)1989. 08. 28, 全文, 全図(ファミリーなし)	4
Y	JP 3-286535 A(セイコーエプソン株式会社)1991. 12. 17, 全文, 全図(ファミリーなし)	4